



COPY OF PAPERS  
ORIGINALY  
COPY OF PAPERS  
ORIGINALY FILED

Attorney's Docket No. 10417-106001 / F51-140492M/NS

2817  
6-3-2

THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hideo Kondo  
Serial No. : 10/010,348  
Filed : November 8, 2001  
Title : MICROCOMPUTER

Art Unit : Unknown  
Examiner : Unknown

Commissioner for Patents  
Washington, D.C. 20231

RECEIVED  
FEB 21 2002  
TECHNICAL SERVICES

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):


· Japan Application No. 2000-342845 filed November 10, 2000

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

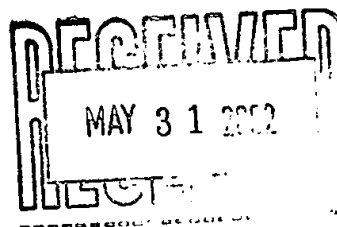
Respectfully submitted,

Date: January 9, 2002

  
Chris T. Mizumoto  
Reg. No. 42,899

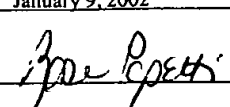
Fish & Richardson P.C.  
45 Rockefeller Plaza, Suite 2800  
New York, New York 10111  
Telephone: (212) 765-5070  
Facsimile: (212) 258-2291

30078563.doc



CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

January 9, 2002  
Date of Deposit  
  
Signature  
Rose Papetti  
Typed or Printed Name of Person Signing Certificate



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月10日

出 願 番 号

Application Number:

特願2000-342845

出 願 人

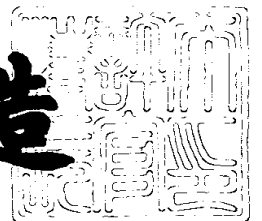
Applicant(s):

三洋電機株式会社

2001年11月 2日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3095902

【書類名】 特許願

【整理番号】 KIA1000081

【提出日】 平成12年11月10日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/00  
G08C 15/06

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 近藤 英雄

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 03-3837-7751 法務・知的財産部 東京事  
務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータ

【特許請求の範囲】

【請求項 1】 U S B 信号線を介してホストとマイクロコンピュータ間のデータ送受信のインターフェイスを行う U S B インターフェース回路を備えたマイクロコンピュータにおいて、前記 U S B インターフェース回路がホストからのバスリセット信号に応答することが可能になるまでの期間、前記 U S B 信号線を非接続状態のレベルに設定する状態設定手段を備えたことを特徴とするマイクロコンピュータ。

【請求項 2】 前記状態設定手段は、前記 U S B 信号線が接続される端子と兼用された出力端子と、前記 U S B 信号線からの電源供給を受けてリセット信号を発生するリセット信号発生回路と、前記リセット信号に応じて直ちに発振を開始する第 1 の発振器と、を備え、前記第 1 の発振器の出力をシステムクロック用としてマイクロコンピュータを動作させて前記出力端子のレベル設定を行うことにより、前記 U S B 信号線を非接続状態のレベルに強制設定することを特徴とする請求項 1 に記載のマイクロコンピュータ。

【請求項 3】 前記リセット信号に応じて発振を開始し、前記第 1 の発振器に比して発振周波数が安定で、かつ発振開始時間が長い第 2 の発振器と、前記第 1 及び第 2 の発振器の出力を選択してシステムクロック用として出力する選択回路と、を備え、前記リセット信号に応じて前記選択回路は第 1 の発振器の出力を選択すると共に、前記第 2 の発振器の発振状態が安定化した後に、前記第 2 の発振器の出力を選択することを特徴とする請求項 2 に記載のマイクロコンピュータ。

【請求項 4】 前記第 1 の発振器は R C 発振器であることを特徴とする請求項 2 に記載のマイクロコンピュータ。

【請求項 5】 前記第 2 の発振器は水晶発振器であることを特徴とする請求項 3 に記載のマイクロコンピュータ。

【発明の詳細な説明】

【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、USB 信号線を介してホストとマイクロコンピュータ間のデータ送受信のインターフェイスを行う USB インターフェース回路を備えたマイクロコンピュータに関する。

## 【0002】

## 【従来の技術】

近年、パーソナルコンピュータ等において、周辺デバイスの拡張性の自由度を高めるために、USB (Universal Serial Bus) のサポートが始められている。USB はユーザの利便性を考慮して考案されたシリアルインターフェイス規格であって、キーボード、マウス、カメラ、プリンタ、スキャナー、スピーカ等の様々な周辺デバイスとパーソナルコンピュータ等との通信に共通に使用できる。

## 【0003】

図4はUSBを利用したパーソナルコンピュータと周辺デバイスとの接続構成例を示す図である。上位のパーソナルコンピュータ100とハブ101との間はUSBケーブルで接続され、さらにハブ101の下位には周辺デバイス102～105が接続され得る。そして、パーソナルコンピュータ100によって周辺デバイス102～105の管理が行われる仕組みになっている。このように、USBは多重スター型のネットワーク構造の双方向通信可能なシリアルバスといえる。

## 【0004】

ここで、USBケーブルには4本の信号線が含まれる。その内訳は電源用2本と、データ信号用2本である。データ信号は基本的には差動信号 ( $D^+$ ,  $D^-$ ) として扱われる。また、USBを利用したデータ転送は、転送単位がフレームという概念で時間分割され、そのフレームを積み重ねていくことにより行う。

## 【0005】

1つのフレームはSOF (Start Of Frame) パケットにより開始する。そして、ホストのパーソナルコンピュータは予めそのフレームの中にスケジューリングされたデータ転送要求トークン (キーボードやカメラからのデータ入力要求や、音声データの出力要求) を順次送出することにより、複数の周辺デバイスとのデ

ータ転送を並行して行う。

【0 0 0 6】

なお、U S Bに関する技術文献として、例えば「Interface」（1 9 9 7年1月号）、特開平1 1 - 2 0 5 4 1 2号公報等がある。

【0 0 0 7】

【発明が解決しようとする課題】

デバイスがU S Bケーブルに接続されると、パーソナルコンピュータ1 0 0はデータ信号線の状態変化（2本の信号線のうち一方がプルダウン状態からプルアップ状態に変化する）を認識して、デバイスの電源投入を知る。そして、パーソナルコンピュータ1 0 0は、データ通信に先立って、バスリセット信号を発行する。このバスリセット信号を受けると、デバイスは一定時間内に初期化を行っていた。

【0 0 0 8】

しかしながら、かかる初期化には相当の時間を要するので、バスリセット信号の発行後に送信されてくる通信データをデバイス側で受信できないことがあった。特に、マイクロコンピュータの場合には、電源投入によりパワーオンリセットによる初期化が行われる。この初期化の過程で、U S Bに対応した同期システムクロック作成用の水晶発振器の動作が安定するまでに相当の時間を要する。

【0 0 0 9】

ところが、パーソナルコンピュータ1 0 0がバスリセット信号を発行した直後に通信データを送出して来た場合には、マイクロコンピュータ1 0 0のシステムクロックが不安定であるために通信データを正常に受信できない場合があった。

【0 0 1 0】

本発明の目的とするところは、マイクロコンピュータがU S Bケーブルに接続されたことをホストであるパーソナルコンピュータが知り、バスリセット信号の発行後直ちに通信データを送出した場合であっても、確実に通信データを受信することができる、U S Bインターフェースを備えたマイクロコンピュータを提供することである。

【0 0 1 1】

## 【課題を解決するための手段】

本発明のマイクロコンピュータは、USB信号線を介してホストとマイクロコンピュータ間のデータ送受信のインターフェースを行うUSBインターフェース回路を備えたマイクロコンピュータにおいて、前記USBインターフェース回路がホストからのバスリセット信号に応答することが可能になるまでの期間、前記USB信号線を非接続状態のレベルに設定する状態設定手段を備えたことを特徴とする。

## 【0012】

これにより、マイクロコンピュータがUSB信号線に接続されたことをホストが知り、バスリセット信号の発行後直ちに通信データを送出した場合であっても、確実に通信データを受信することができる。

## 【0013】

また、前記状態設定手段は、前記USB信号線が接続される端子と兼用された出力端子と、前記USB信号線からの電源供給を受けてリセット信号を発生するリセット信号発生回路と、前記リセット信号に応じて直ちに発振を開始する第1の発振器と、を備え、前記第1の発振器の出力をシステムクロック用としてマイクロコンピュータを動作させて前記出力端子のレベル設定を行うことにより、前記USB信号線を非接続状態のレベルに強制設定することを特徴とする。

## 【0014】

かかる構成によれば、マイクロコンピュータの機能を利用してソフト的に状態設定を行うことができるので特別なタイミング回路等が不要であるという利点がある。また、前記USB信号線が接続される端子と兼用された出力端子を有しているので、出力端子を有効に活用できるという利点もある。

## 【0015】

また、前記リセット信号に応じて発振を開始し、前記第1の発振器に比して発振周波数が安定で、かつ発振開始時間が長い第2の発振器と、前記第1及び第2の発振器の出力を選択してシステムクロック用として出力する選択回路と、を備え、前記リセット信号に応じて前記選択回路は第1の発振器の出力を選択すると共に、前記第2の発振器の発振状態が安定化した後に、前記第2の発振器の出力

を選択することを特徴とする。

【 0 0 1 6 】

かかる構成によれば、第 2 の発振器の発振状態が安定化するまでは第 1 の発振器の出力をシステムクロックとして利用して U S B 信号線の状態設定を行い、第 2 の発振器の発振状態が安定化した後は、U S B 通信用のシステムクロックとして利用することができる。

【 0 0 1 7 】

【発明の実施の形態】

次に、本発明の実施形態について図面を参照しながら説明する。図 1 は本発明が適用される U S B システム全体の構成を示す図である。パーソナルコンピュータ 1 0 0 とマイクロコンピュータ 1 0 内の U S B インターフェース回路 3 0 とは U S B ケーブルによって接続されるが、その間にハブ 1 0 1 が介在している。1 対の U S B 信号線 1 1 0, 1 1 1 はプルダウン抵抗 1 1 2, 1 1 3 によってプルダウンされている。

【 0 0 1 8 】

ここで、U S B ケーブルがコネクタ（不図示）を介してマイクロコンピュータ 1 0 が搭載された基板 1 1 6 に接続されると、例えば、一方の U S B 信号線（ $D^+$ ）が基板 1 1 6 に設けられたプルアップ抵抗 1 1 4 を介して電源電位 VDD にプルアップされると共に、マイクロコンピュータ 1 0 にはレギュレータ 1 1 5 を介して所定の電源電位（例えば 3 . 3 V）が供給される。

【 0 0 1 9 】

すると、パーソナルコンピュータ 1 0 0 は U S B 信号線 1 1 1 の状態がロウレベルからハイレベルに変化したことを検知して、U S B ケーブルがマイクロコンピュータ 1 0 に接続されたことを知る。すなわち、1 対の U S B 信号線 1 1 0, 1 1 1 は通信データの伝送路としてだけでなく、デバイスの接続状態をパーソナルコンピュータ 1 0 0 に知らせる。

【 0 0 2 0 】

また、U S B 信号線 1 1 0, 1 1 1 の状態変化は同時にデバイスの種類をパーソナルコンピュータ 1 0 0 に知らせる。すなわち、U S B 信号線 1 1 0 がロウレ



ベルからハイレベルに変化した場合には高速のデバイスであり、USB信号線111がロウレベルからハイレベルに変化した場合には低速のデバイスである。

【0021】

USB信号線110の状態変化を検知したパーソナルコンピュータ100は、バスリセット信号を送信してくる。一方、電源投入に応じてマイクロコンピュータ10は初期化を行っているが、バスリセット信号の直後に通信データが送られてくる場合には、システムクロックがいまだ不安定であるために通信データを正常に受信できない。

【0022】

そこで、本発明はマイクロコンピュータ10にUSB信号線110, 111を擬似的に非接続状態のレベルに設定するようにした。すなわち、USB信号線110, 111がマイクロコンピュータ10に接続されているにもかかわらず、システムクロックが安定するまでの期間、USB信号線の状態変化が生じないように設定したものである。

【0023】

以下、本発明の実施形態に係るマイクロコンピュータの構成について詳細に説明する。図2は、本発明の実施形態に係るマイクロコンピュータの構成を示すブロック図である。マイクロコンピュータ10は8ビット構成として説明する。

【0024】

上述したように、マイクロコンピュータ10とパーソナルコンピュータ100とは1対のUSB信号線110, 111によって接続される。そして、USB信号線110, 111上のUSB差動信号( $D^+$ ,  $D^-$ )はマイクロコンピュータ10の端子P1, P2を介して入出力される。

【0025】

マイクロコンピュータ10に内蔵されたUSBインターフェイス回路30は、パーソナルコンピュータ100との間のデータ送受信のインターフェイスを行うもので、特にデータ受信時は入出力回路20からのUSB差動信号( $D^+$ ,  $D^-$ )を受けて各種のデータ処理を行う。USB差動信号( $D^+$ ,  $D^-$ )は、USB通信プロトコルに従ったシリアルデータ信号である。

## 【 0 0 2 6 】

USBインターフェイス回路30は、上記シリアルデータ信号から必要なデータを抽出する。この時、USBインターフェイス回路30は当該シリアルデータ信号が如何なる転送フォーマットであるかを判別すると共に、エラー信号処理等を行う。またUSBインターフェイス回路30は、上記データ処理が施されたシリアル信号をマイクロコンピュータ10が処理可能な所定形式の平行信号（例えば8ビット構成）に変換する。

## 【 0 0 2 7 】

さらに、USBインターフェイス回路30は、平行変換された8ビット×4＝32ビットのプログラムデータを一時記憶するテンポラリレジスタ31及び制御レジスタ（不図示）を備えている。制御レジスタにはパーソナルコンピュータ100がホストとして管理すべき各種データ（デバイスに割り付けられるアドレスデータ等）がセットされる。

## 【 0 0 2 8 】

端子P1、P2は、マイクロコンピュータ10の出力端子を兼ねている。すなわち、端子P1には第1の出力回路31が接続され、端子2には第2の出力回路32が接続され、マイクロコンピュータ10のプログラム動作により端子P1、P2の状態をソフト的にレベル設定可能に構成している。

## 【 0 0 2 9 】

RAM40はUSBインターフェイス回路30のテンポラリレジスタ31のデータから逐次転送される32ビット単位のプログラムデータを一時記憶するために利用される。そして、USBインターフェイス回路30とRAM40との間のデータ転送を行うために、専用の32本の信号線が設けられている。RAM40に蓄積されたプログラムデータが所定量（例えば128バイト）に達すると、128バイトのプログラムデータはマイクロコンピュータ10のバス41を経由してフラッシュROM50へ転送される。

## 【 0 0 3 0 】

逆に、フラッシュROM50に書き込まれたプログラムデータをRAM40へ転送し、そのRAM40内に記憶されたプログラムデータをUSBインターフェ

イス回路 3 0 のテンポラリレジスタ 3 1 へ転送することも可能である。

【 0 0 3 1 】

5 0 はフラッシュROMであり、USB制御プログラム（具体的には書き込み制御プログラム）が予め書き込まれ、格納された第 1 のプログラム領域 5 3 と、パーソナルコンピュータ 1 0 0 からのプログラムデータがRAM 4 0 を経由して書き込まれる第 2 のプログラム領域 5 2 とに分割されている。

【 0 0 3 2 】

6 0 はプログラムカウンタであって、その出力はフラッシュROM 5 0 のアドレスデコーダ 5 1 に印加されている。プログラムカウンタ 6 0 の出力値は後に説明するようにUSB通信の状態に応じて、CPU 7 0 からの命令により所定番地にジャンプする。すなわち、パーソナルコンピュータ 1 0 0 かのプログラムデータの書き込み時には、プログラムカウンタ 6 0 は第 1 のプログラム領域 5 3 （書き込み制御プログラム）の先頭アドレスである（FF 0 0）番地にジャンプすると共に、プログラムデータの書き込み後は、第 2 のプログラム領域 5 2 の先頭アドレスである（0 0 0 0）番地にジャンプする。そして、CPU 7 0 は、フラッシュROM 5 0 から読み出されるプログラム命令に従ってマイクロコンピュータ 1 0 の動作を実行する。

【 0 0 3 3 】

8 0 は、パワーオンリセット回路であって、マイクロコンピュータ 1 0 の電源投入に伴い、電源電位の上昇を検知してハイレベルに立ち上がり、電源電位が所定のレベルになるとロウレベルに解除されるリセット信号RESを発生する。

【 0 0 3 4 】

8 1 はRC発振器（第 1 の発振器）であり、リセット信号RESに応じて直に発振を開始する。一方、8 2 は水晶発振器（第 2 の発振器）であり、リセット信号RESに応じて発振を開始する。この水晶発振器 8 2 は発振周波数が非常に安定しており、USB通信に適している。しかし、発振開始時間が比較的長いという特性を有している。水晶発振器 8 2 の周波数は 3 2 K z であるため、PLL 8 3 によって、USB通信に必要な 6 M H z の同期クロックに変換される。なお、水晶発振器 8 2 に代えて 6 M H z のCF発振器を用いれば、PLL 8 3 は不要である

## 【 0 0 3 5 】

選択回路 8 4 は、オア回路 8 5 の出力に応じて、RC 発振器 8 1 と水晶発振器 8 2 の出力のいずれか一方を選択して出力するマルチプレクサである。ここで、オア回路 8 5 にはリセット信号 RES 及び CPU 7 0 からの遅延リセット信号 DRES が入力される。オア回路 8 5 の出力がハイレベルの場合は、RC 発振器 8 1 の出力が選択され、一方、オア回路 8 5 の出力がロウレベルの場合は、水晶発振器 8 2 の出力が選択されるように構成されている。

## 【 0 0 3 6 】

また、クロック作成回路 8 6 は選択回路 8 4 の出力に基づいて、マイクロコンピュータ 1 0 を動作させるために必要な複数のシステムクロック SCLK を作成する。

## 【 0 0 3 7 】

次に、上述したマイクロコンピュータ 1 0 の動作例について、図 3 のフローチャートを参照しながら説明する。まず、最初のステップ 2 0 0 では、マイクロコンピュータ 1 0 が USB ケーブルに接続される。このとき、USB ケーブルの電源ラインによってマイクロコンピュータ 1 0 に電源が投入されることにより、パワーオンリセット回路 8 0 が動作し、リセット信号 RES が発生する。

## 【 0 0 3 8 】

すると、RC 発振器 8 1 が直に発振を開始し、この発振出力を基にシステムクロック SCLK が作成される。そして、このシステムクロック SCLK に応じてプログラムカウンタ 6 0 及び CPU 7 0 が動作を開始する。

## 【 0 0 3 9 】

まず、ステップ 2 0 1 において、プログラムカウンタ 6 0 の値は、第 1 のプログラム領域 5 3（書き込み制御プログラム）の先頭アドレスである（FF 0 0）番地へジャンプする。従って、その後マイクロコンピュータ 1 0 は当該書き込み制御プログラムに従って以下の処理を実行する。

## 【 0 0 4 0 】

ステップ 2 0 2 では、第 1 の出力回路 3 1 から端子 P 1 にロウレベルを出力す

る。このとき、USB信号線110はプルアップされているが、強制的にロウレベルに設定される。これにより、パーソナルコンピュータ100はUSB信号線110、110が非接続状態であると認識するので、この状態ではバスリセット信号は発行されない。

#### 【0041】

この強制設定の期間は、リセット信号RES及びCPU70からの遅延リセット信号DRESによって規定される。遅延リセット信号DRESはリセット信号RES後に所定期間、選択回路84の選択状態を維持するための信号である。この遅延リセット信号DRESが解除されると、選択回路84は水晶発振器82の出力を選択する。上記の所定期間は水晶発振器82の発振安定期間を考慮して設定することが可能である。

#### 【0042】

そして、ステップ203では、第1の出力回路31はハイインピーダンスに設定されることにより、端子P1の強制設定状態が解除される。すると、USB信号線110、111は本来の接続に状態変化するので、パーソナルコンピュータ100は所定期間後にバスリセット信号を送出する。こうして、バスリセット信号が送出される前に、マイクロコンピュータ10のシステムクロックを安定化することができる。

#### 【0043】

以下、パーソナルコンピュータ100からマイクロコンピュータ10にプログラムデータをロードする場合の動作を説明する。

#### 【0044】

ステップ204では、このUSBバスリセット信号待ち状態である。

#### 【0045】

ステップ205は、USBバスリセット信号を受信したか否かを判定するステップであり、NOと判定された場合には待ち状態を維持する。YESと判定されると、次のステップ206に進む。

#### 【0046】

ステップ206は、エニュメレーション (Enumeration) によるUSBの初

期化を行う。ここで、エミュレーションとは、一般にマイクロコンピュータ10とパーソナルコンピュータ100との間でUSBデータの送受信を行うことが可能な環境設定を行うための一連のソフトウェア処理である。

【0047】

エミュレーションによりで行われる主な処理は、パーソナルコンピュータ100の初期化と、パーソナルコンピュータ100が支配するデバイスにアドレスを割り付ける処理である。後者において、USBインターフェース回路30内の制御レジスタ（アドレスレジスタ）内に、パーソナルコンピュータ100が割り当てた特定のアドレスが記憶される。これにより、マイクロコンピュータ10は、パーソナルコンピュータ100が送信して来たUSBパケット内のアドレスと上記アドレスレジスタ内のアドレスとを照合し、それらが一致した場合にのみ送信されきたUSBデータの処理を行う。

【0048】

こうして、USBデータの送受信を行うことが可能な環境設定が終了すると、ステップ207ではパーソナルコンピュータ100からフラッシュROMに書き込むべきプログラムデータがUSB差動信号データ（ $D^+$ 、 $D^-$ ）の形で入力されてくる。

【0049】

ステップ208ではこの入力されたUSB差動信号データ（ $D^+$ 、 $D^-$ ）をUSBインターフェース回路30によってデータ処理する。このデータ処理内容は上述した通りであるが、シリアルデータ（8ビット×4）を所定の平行データ（32ビット）に変換するのがその主な処理である。

【0050】

ステップ209では、USBインターフェース回路30からRAM40へ平行変換されたプログラムデータが書き込まれる。そして、RAM40へ書き込まれたプログラムデータ量が所定量（例えば128バイト）に達すると、この所定量を単位としてRAM40から内部バス41を介してフラッシュROM50の第1のプログラム領域53へ書き込みが開始される（ステップ208）。これはフラッシュROM50が複数ブロックに分割されており、128バイトをブロッ

クとして構成されていることによる。したがって、RAM40のデータの蓄積量はフラッシュROM50のブロック構成に応じて適宜に選択可能である。

【0051】

ここで、実際にはUSBインターフェイス回路30からRAM40へパラレル変換されたプログラムデータの書き込み動作と、RAM40からフラッシュROM50への書き込み動作は並行して行われるために、高速書き込みが実現される。

【0052】

ステップ210において、フラッシュROMへの書き込みが開始されるがこれには所定の時間を要する。そこで、ステップ211ではマイクロコンピュータ10はソフト的にNACK状態にセットされる。これはUSBパケットのハンドシェイク・パケットの一種であって、ホストであるパーソナルコンピュータ100からのデータを受け付けることができないことを知らせるためにパーソナルコンピュータ100へ返される。

【0053】

そして、ステップ212では書き込み終了か否かを判定する。その判定結果がNOであれば、NACK状態を維持する。その判定結果がYESであれば、ACK状態にセットされ、ACKはマイクロコンピュータ10側でデータを受け付け可能であることを知らせるためにパーソナルコンピュータ100へ返される。

【0054】

そして、次のステップ214ではフラッシュROM50へのプログラムデータの書き込みが全て終了したかを判定する。その判定結果がNOであれば、ステップ206へ戻り、残余のプログラムデータの書き込みを続行する。ここで、プログラムデータの書き込みはブロック（ページ）単位（例えば128バイト）で行われるため、全部のページが書き込まれるまでこの処理は繰り返される。

【0055】

判定結果がYESの場合には、プログラムカウンタ60の値は第2のプログラム領域52の先頭アドレスである（0000）番地にジャンプする。

【0056】

そしてステップ 2 1 5 では、マイクロコンピュータ 1 0 はパーソナルコンピュータ 1 0 0 から供給されたプログラムデータを読み出し、CPU 7 0 は解読されたプログラム命令に基づいてマイクロコンピュータの動作を実行開始する。

【 0 0 5 7 】

【発明の効果】

本発明によれば、マイクロコンピュータが USB ケーブルに接続されたことをホストであるパーソナルコンピュータが知り、バスリセット信号の発行後直ちに通信データを送出した場合であっても、確実に通信データを受信することができるマイクロコンピュータを提供することができる。

【図面の簡単な説明】

【図 1】

本発明が適用される USB システム全体の構成を示す図である。

【図 2】

本発明の実施形態に係るマイクロコンピュータを示すブロック図である。

【図 3】

本発明の実施形態に係るマイクロコンピュータ 1 0 の動作例を示すフローチャートである。

【図 4】

USB を利用したパーソナルコンピュータと周辺デバイスとの接続構成例を示す図である。

【符号の説明】

- 1 0     マイクロコンピュータ
- 3 0     USB インターフェイス回路
- 3 1     第 1 の出力回路
- 3 2     第 2 の出力回路
- 4 0     RAM
- 4 1     バス
- 5 0     フラッシュ ROM
- 5 1     アドレスデコーダ

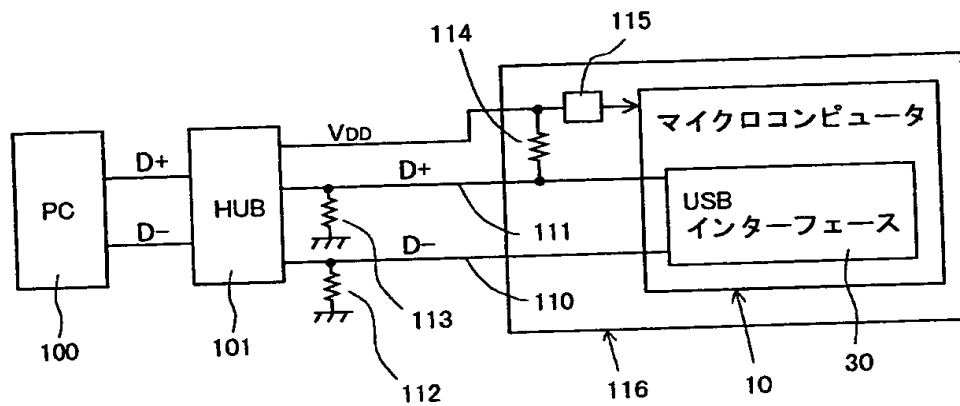


- 5 2 第 2 のプログラム領域
- 5 3 第 1 のプログラム領域
- 6 0 プログラムカウンタ
- 7 0 C P U
- 8 0 パワーオンリセット
- 8 1 R C 発振器
- 8 2 水晶発振器
- 8 3 P L L
- 8 4 選択回路
- 8 5 オア回路
- 8 6 クロック作成回路

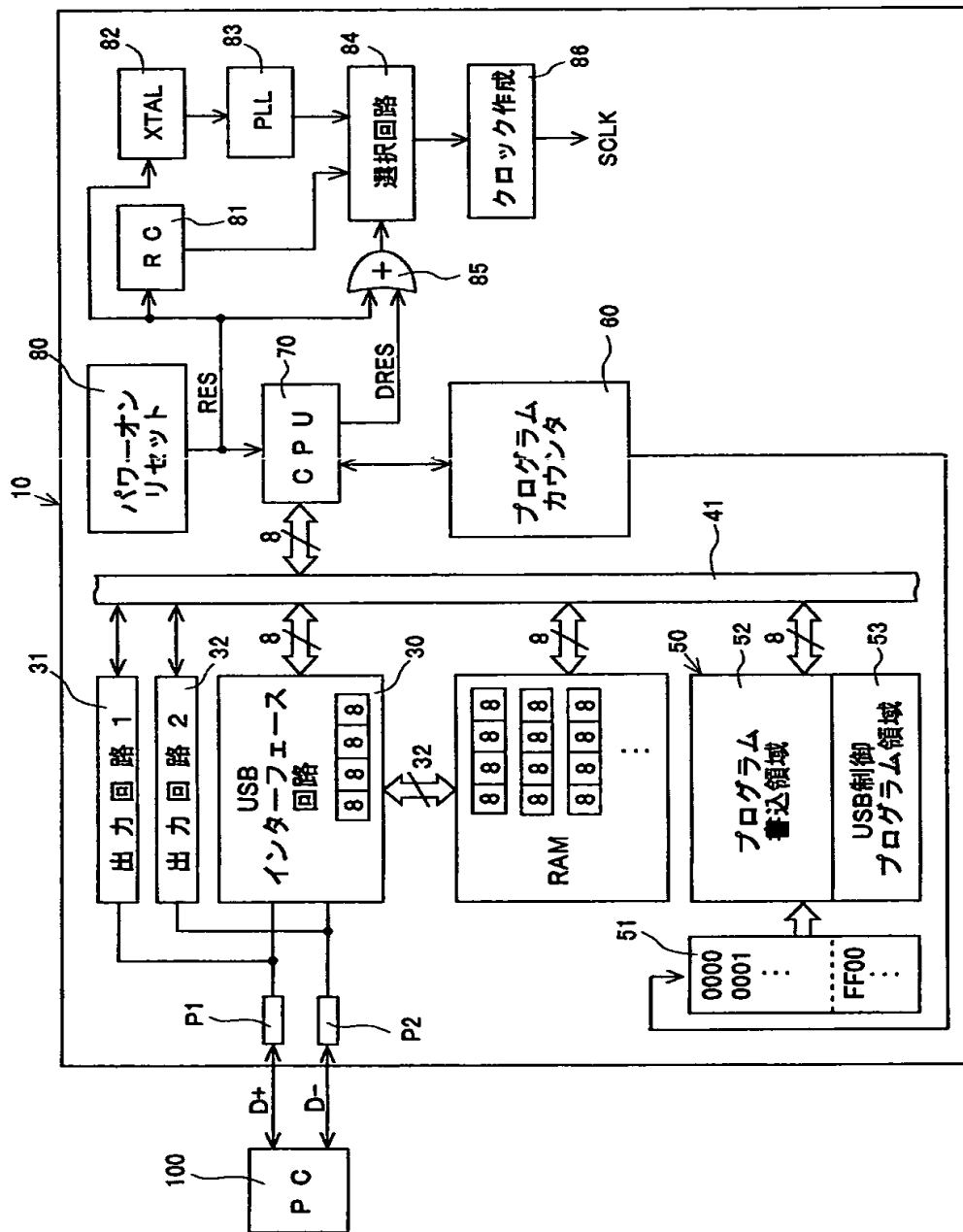
【書類名】

図面

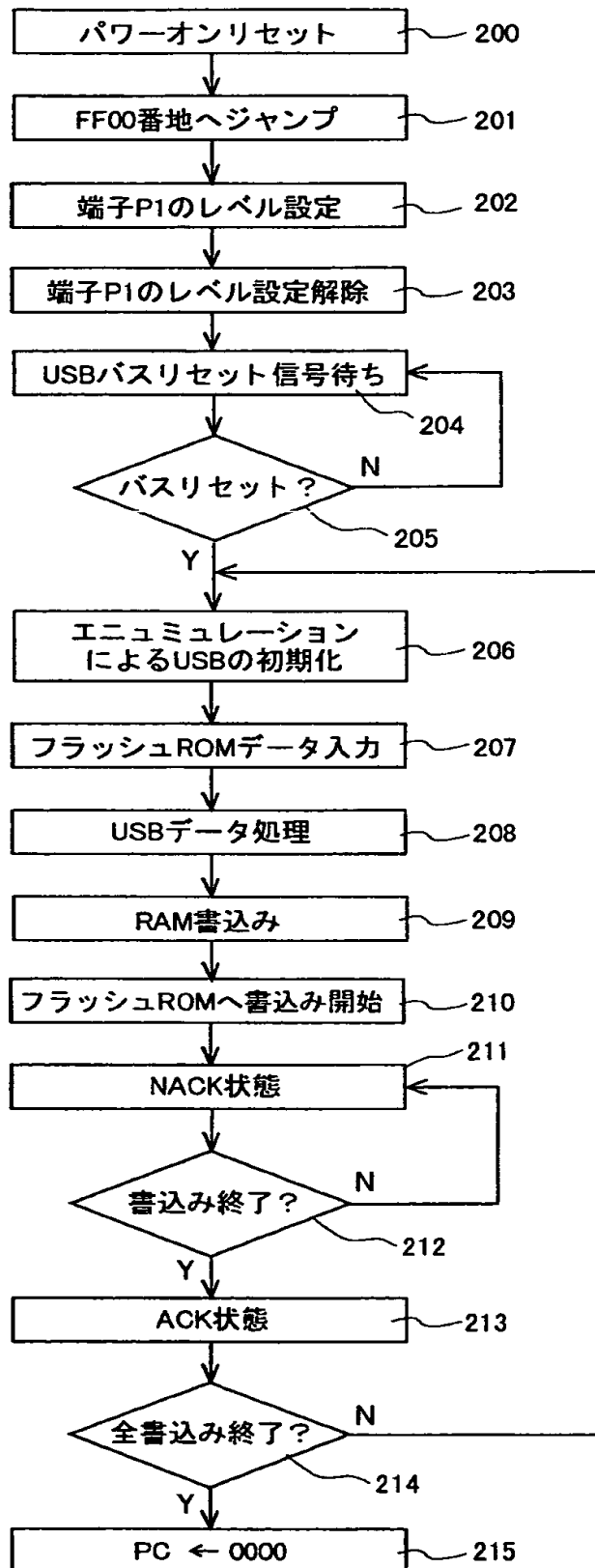
【図1】



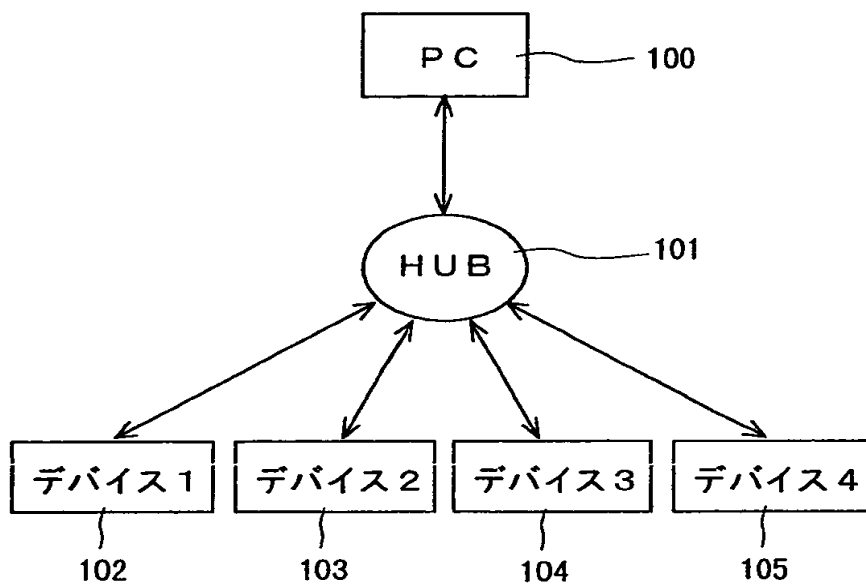
【図 2】



【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 バスリセット信号の発行後直ちに通信データを送出した場合であっても、確実に通信データを受信することができるマイクロコンピュータを提供することができる。

【解決手段】 ＵＳＢインターフェース回路３０がホストからのバスリセット信号に応答することが可能になるまでの期間、ＵＳＢ信号線１１０，１１１を非接続状態のレベルに設定する状態設定手段を備えたことを特徴とする。

【選択図】 図１

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号  
氏 名 三洋電機株式会社